

Docket No.: 67161-122

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

| | | |
|---|---|------------------------|
| In re Application of | : | Customer Number: 20277 |
| | : | |
| Takio OHNO | : | Confirmation Number: |
| | : | |
| Serial No.: | : | Group Art Unit: |
| | : | |
| Filed: October 23, 2003 | : | Examiner: |
| | : | |
| For: METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE | : | |

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claim the priority of:

Japanese Patent Application No. 2003-126148 (P), filed on May 1, 2003.

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

SAB by A. Becker 26,106
Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:gav
Facsimile: (202) 756-8087
Date: October 23, 2003

67161-122
Takio OHNO, et al

日 本 国 特 許 庁 October 23, 2003
JAPAN PATENT OFFICE *McDermott, Will & Emery*

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 5月 1日

出 願 番 号

Application Number:

特願2003-126148

[ST.10/C]:

[JP 2003-126148]

出 願 人

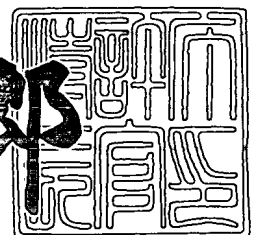
Applicant(s):

株式会社ルネサステクノロジ

2003年 6月10日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太 田 信 一 郎



【書類名】 特許願

【整理番号】 544079JP01

【提出日】 平成15年 5月 1日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/324
H01L 27/088

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目4番1号 株式会社ルネサ
ステクノロジ内

【氏名】 大野 多喜夫

【特許出願人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100083703

【弁理士】

【氏名又は名称】 仲村 義平

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

-【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 異なる膜厚のゲート絶縁膜を含む電界効果トランジスタを備えた半導体装置の製造方法であって、

半導体基板の主表面にトレンチ分離膜を形成することにより、第 1 および第 2 の能動領域を形成する工程と、

前記第 1 および第 2 の能動領域上に、第 1 の絶縁膜を形成する工程と、

前記第 1 の絶縁膜の所定部位を選択的に除去することにより、前記第 2 の能動領域を露出せしめる工程と、

前記第 1 および第 2 の能動領域上に、第 2 の絶縁膜を形成する工程と、

前記第 2 の絶縁膜の形成温度以上の温度にて、前記第 1 および第 2 の絶縁膜にアニール処理を施す工程と、

このアニール処理が施された前記第 1 および第 2 の絶縁膜が介在するように前記第 1 の能動領域上に第 1 のゲート電極を形成し、このアニール処理が施された前記第 2 の絶縁膜が介在するように前記第 2 の能動領域上に第 2 のゲート電極を形成する工程と、

を備えた、半導体装置の製造方法。

【請求項 2】 前記第 2 の絶縁膜の形成温度は、1000℃未満である、請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 前記第 1 の絶縁膜は、ウェット雰囲気中にて熱酸化処理が施されることによって形成される、請求項 1 または 2 に記載の半導体装置の製造方法。

【請求項 4】 前記アニール処理は、RTA (Rapid Thermal Anneal) 法にて行なわれる、請求項 1 から 3 のいずれかに記載の半導体装置の製造方法。

【請求項 5】 前記アニール処理は、不活性ガス雰囲気中にて行なわれる、請求項 1 から 4 のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造方法に関し、より特定的には、デュアルゲート絶縁膜構造を有する半導体装置の製造方法に関する。

【0002】

【従来の技術】

近年、異なる膜厚のゲート絶縁膜を含む電界効果トランジスタを同一半導体基板上に備えた半導体装置が一般化しつつある。この構造は、一般にデュアルゲート絶縁膜構造と呼ばれ、駆動電圧の異なる電界効果トランジスタを同一半導体基板上に混載するのに適した構造である。

【0003】

このデュアルゲート絶縁膜構造を有する半導体装置の製造方法に関する文献として、特開2000-243856号公報（特許文献1）や特開2002-246480号公報（特許文献2）がある。

【0004】

このうち、特許文献1に開示のデュアルゲート絶縁膜構造を有する半導体装置の製造方法は、第1および第2の能動領域上に第1の誘電層を形成し、パターン化したレジスト膜を用いて第1の誘電層の一部を除去して第2の能動領域を露出させ、レジスト膜を除去し、その後、第2の能動領域上に第2の誘電層を形成するものである。

【0005】

また、特許文献2に開示のデュアルゲート絶縁膜構造を有する半導体装置の製造方法は、第1および第2の能動領域上に窒化膜とCVD（Chemical Vapor Deposition）酸化膜を順次堆積した後、フォトリソグラフィ工程によってパターンニングされたCVD酸化膜をマスクとして第2の能動領域の半導体基板表面を露出させ、この部分のみに選択的に第1熱酸化膜を形成し、その後第1の能動領域の半導体基板表面を露出させてその表面露出部分に第2熱酸化膜を形成するものである。

【0006】

【特許文献1】

特開 2 0 0 0 - 2 4 3 8 5 6 号公報

【0 0 0 7】

【特許文献 2】

特開 2 0 0 2 - 2 4 6 4 8 0 号公報

【0 0 0 8】

【発明が解決しようとする課題】

近年の半導体装置の微細化に伴い、素子分離構造として S T I (Shallow Trench Isolation) 構造を採用することが一般化しつつある。素子分離構造として S T I 構造を採用した場合には、トレンチ分離膜の形成後に行なわれるゲート絶縁膜の形成工程において、半導体基板内部のトレンチ分離膜の側壁部が酸化されて体積膨張が生じ、その結果半導体基板の内部に残留する内部応力が増大する傾向がある。加えて、能動領域の微細化に伴い、局所的に半導体基板の内部応力が顕在化する問題も生じている。さらには、半導体装置の微細化に伴ってゲート絶縁膜の薄膜化が進んでおり、精度よくゲート絶縁膜を形成するためには低温処理化せざるを得ず、結果としてゲート絶縁膜の形成工程自体で得られていたアニール効果、すなわち内部応力を緩和する効果が薄れることとなっている。このため、半導体基板中の内部応力は従来に比べて増大する傾向にある。

【0 0 0 9】

これらの内部応力は、半導体基板内部における結晶欠陥の発生を誘発し、接合リークの増大やトランジスタのソースドレイン間のリーク電流の増大を引き起こす原因となっている。このため、歩留まりの低下や信頼性の低下の要因となっていた。また、これらの内部応力によって生じる結晶の歪みにより、電子移動度（モビリティ）も低下する傾向にあり、この結果、特に能動領域幅の狭いトランジスタにおいて駆動能力の低下が生じるという問題も発生している。

【0 0 1 0】

一方、ゲート絶縁膜の形成工程を低温処理化した場合には、ゲート絶縁膜の膜質の劣化も問題となる。膜質の劣化は、歩留まりの低下や信頼性の低下の原因にもなる。さらには、上述の内部応力によってトレンチ分離膜の端部近傍における膜質がさらに著しく劣化するという問題も有しており、トランジスタのゲートリ

ーク電流の増大や絶縁破壊の原因となっている。このため、歩留まりの低下や信頼性の低下に拍車を掛けることとなっている。

【 0 0 1 1 】

したがって、本発明は、上述の問題点を解決すべくなされたものであり、半導体基板内部の残留応力を低減するとともにゲート絶縁膜の膜質の改善が可能なデュアルゲート絶縁膜構造を備えた半導体装置の製造方法を提供することを目的とする。

【 0 0 1 2 】

【課題を解決するための手段】

本発明に基づく半導体装置の製造方法は、異なる膜厚のゲート絶縁膜を含む電界効果トランジスタを備えた半導体装置の製造方法であって、以下の工程を備えている。

(a) 半導体基板の主表面にトレンチ分離膜を形成することにより、第1および第2の能動領域を形成する工程。

(b) 第1および第2の能動領域を覆うように、半導体基板の主表面上に第1の絶縁膜を形成する工程。

(c) 第1の絶縁膜の所定部位を選択的に除去することにより、第2の能動領域を露出せしめる工程。

(d) 第1および第2の能動領域上に、第2の絶縁膜を形成する工程。

(e) 第2の絶縁膜の形成温度以上の温度にて、第1および第2の絶縁膜にアニール処理を施す工程。

(f) このアニール処理が施された第1および第2の絶縁膜が介在するように第1の能動領域上に第1のゲート電極を形成し、このアニール処理が施された第2の絶縁膜が介在するように第2の能動領域上に第2のゲート電極を形成する工程。

【 0 0 1 3 】

【発明の実施の形態】

以下、本発明の一実施の形態について、図を参照して説明する。

【 0 0 1 4 】

図 1 ないし図 6 は、本発明の一実施の形態における半導体装置の製造方法を模式的に示した第 1 ないし第 6 工程図である。これらを参照して、本実施の形態における半導体装置の製造方法について、工程順に区分して詳細に説明する。なお、本実施の形態における半導体装置の製造方法は、半導体基板の主表面にアレイ状に電界効果トランジスタを形成する場合を例示するものである。

【 0 0 1 5 】

図 1 に示すように、まず第 1 工程として、半導体基板であるシリコン基板 1 にトレンチ分離膜 2 を形成することにより、第 1 の能動領域 1 0 および第 2 の能動領域 2 0 を形成する。ここで、第 1 の能動領域 1 0 は、後工程においてゲート酸化膜の膜厚が比較的大きい第 1 の電界効果トランジスタ 1 2 (図 6 参照) が形成される領域である。また、第 2 の能動領域 2 0 は、後工程においてゲート酸化膜の膜厚が比較的小さい電界効果トランジスタ 2 2 (図 6 参照) が形成される領域である。

【 0 0 1 6 】

この第 1 工程としては、通常の S T I 構造の製造プロセスが採用可能である。具体的には、まずシリコン基板 1 の主表面直上にパッド酸化膜を形成し、このパッド酸化膜上にポリシリコン層とシリコン窒化膜とを順次堆積することにより、パッド酸化膜／ポリシリコン層／シリコン窒化膜からなる 3 層の積層膜 (図示せず) を形成する。つづいて、フォトリソグラフィ技術を用いて、シリコン窒化膜上に所望の形状にパターニングされたレジスト膜 (図示せず) を形成する。このレジスト膜をマスクとして上記 3 層の積層膜を部分的にエッチングすることにより、トレンチ分離膜 2 を形成する領域のシリコン基板 1 の主表面を選択的に露出させる。そして上記レジスト膜を除去する。

【 0 0 1 7 】

次に、シリコン基板 1 の主表面上に残存している上記 3 層の積層膜のうち、最上層に位置するシリコン窒化膜をマスクとしてシリコン基板 1 をドライエッチングし、シリコン基板 1 の主表面にトレンチを形成する。こうして形成されたトレンチの側壁酸化を行なった後、CVD法を用いてシリコン酸化膜を堆積することにより、トレンチ内部を埋め込む。そしてCMP (Chemical Mechanical Polish

ing) により平坦化を行なった後、シリコン基板 1 上に残存する上記 3 層の積層膜を除去することにより、図 1 に示す如くのトレンチ分離膜 2 が形成される。このトレンチ分離膜 2 によって、シリコン基板 1 が第 1 の能動領域 1 0 と第 2 の能動領域 2 0 とに区画される。

【 0 0 1 8 】

なお、通常の CMOS (Complementary Metal Oxide Semiconductor) プロセスを採用する場合には、このトレンチ分離膜 2 の形成工程後に p ウェル領域と n ウェル領域の形成工程であるイオン注入工程が付加される。

【 0 0 1 9 】

次に、図 2 に示すように、第 2 工程として、第 1 の能動領域 1 0 および第 2 の能動領域 2 0 上に第 1 の絶縁膜としての第 1 熱酸化膜 3 a を形成する。第 1 熱酸化膜 3 a は、図 1 に示すシリコン基板 1 を酸素雰囲気中で熱処理することによって形成される。この熱酸化処理としては、炉 (ファーンネス) を用いた熱処理や R T A と呼ばれるランプ方式の熱処理によって行われる。本工程で形成する第 1 熱酸化膜 3 a の膜厚としては、代表的には 2 0 n m 以下程度である。また、上記熱酸化処理の処理温度は、概ね 7 0 0 ° C ~ 1 1 0 0 ° C 程度が一般的であるが、近年の半導体装置の微細化に伴う低温処理化の要請により、好ましくは 7 0 0 ° C ~ 1 0 0 0 ° C 程度にて行なう。

【 0 0 2 0 】

本熱酸化処理をウェット処理にて行なう場合には、雰囲気として酸素と水蒸気の混合気を採用される。また、本熱酸化処理をドライ処理にて行なう場合には、雰囲気として酸素が採用される。なお、トレンチ分離膜 2 とシリコン基板 1 との界面 (特にトレンチ分離膜 2 の側壁部分) における望ましくない酸化の進行を抑制するためには、ウェット処理を採用することが好ましい。このようにすれば、シリコン基板 1 中に残留する内部応力を比較的小さく抑制することが可能になる。

【 0 0 2 1 】

次に、図 3 に示すように、第 3 工程として、上記第 1 熱酸化膜 3 a の所定部位を選択的に除去することにより、第 2 の能動領域 2 0 を露出させる。第 2 の能動

領域 2 0 を露出させる具体的な方法としては、たとえば、第 1 熱酸化膜 3 a 上にパターニングされたレジスト膜 4 を形成し、このレジスト膜 4 をマスクとしてエッチングし、第 2 の能動領域 2 0 上に位置する第 1 熱酸化膜 3 a を除去することによって行なわれる。なお、上記エッチング処理が終了した後は、不要となったレジスト膜 4 を除去する。

【 0 0 2 2 】

次に、図 4 に示すように、第 4 の工程として、第 1 の能動領域 1 0 および第 2 の能動領域 2 0 上に、第 2 の絶縁膜としての第 2 熱酸化膜 3 b を形成する。第 2 熱酸化膜 3 b は、図 3 に示すシリコン基板 1 からレジスト膜 4 を除去した後に、酸素雰囲気中で上記シリコン基板を熱処理することによって形成される。この熱酸化処理としては、第 1 熱酸化膜 3 a の形成工程と同様に、炉を用いた熱処理や R T A と呼ばれるランプ方式の熱処理によって行われる。本工程で形成する第 2 熱酸化膜 3 b の膜厚としては、代表的には 2 0 n m 程度以下であるが、より好ましくは 5 n m 以下とする。このように、第 2 熱酸化膜 3 b を 5 n m 以下の膜厚とすることにより、近年の半導体装置の微細化に対応したゲート薄膜の形成が可能になる。

【 0 0 2 3 】

また、上記熱酸化処理の処理温度は、概ね 7 0 0 ° C ~ 1 1 0 0 ° C 程度が一般的であるが、より好ましくは 7 0 0 ° C ~ 1 0 0 0 ° C 程度にて行なう。このように 1 0 0 0 ° C 以下にて第 2 熱酸化膜 3 b を形成することにより、近年の半導体装置の微細化に伴う低温処理化に対応することが可能になるとともに、後述する応力緩和のためのアニール処理によって得られる効果も顕著となる。

【 0 0 2 4 】

上記第 1 熱酸化膜 3 a の形成工程と同様に、本熱酸化処理をウェット処理にて行なう場合には、雰囲気として酸素と水蒸気の混合気が採用される。また、本熱酸化処理をドライ処理にて行なう場合には、雰囲気として酸素が採用される。なお、トレンチ分離膜 2 とシリコン基板 1 との界面（特にトレンチ分離膜 2 の側壁部分）における望ましくない酸化の進行を抑制するためには、ウェット処理を採用することが好ましい。このようにすれば、シリコン基板 1 中に残留する内部応

力を比較的小さくすることが可能になる。

【 0 0 2 5 】

なお、上記の第3工程にあっては、第1の能動領域10上に予め形成された第1熱酸化膜3aから連続的に上下方向に向かって延びるように第2熱酸化膜3bが成長する。すなわち、第1の能動領域10上には、第1熱酸化膜3aおよび第2熱酸化膜3bからなる複層の熱酸化膜が形成される。一方、第2の能動領域20上に形成される第2熱酸化膜3bは、シリコン基板1の主表面に新たに形成される膜であり、結果として第2の能動領域20上には、第2熱酸化膜3bのみからなる単層の熱酸化膜が形成されることになる。

【 0 0 2 6 】

また、上記の第3工程にあっては、第2の絶縁膜として第2熱酸化膜3bに代えてシリコン酸窒化膜を採用することも可能である。この場合には、たとえば亜酸化窒素雰囲気中において上記シリコン基板1に熱窒化処理を施すことにより、シリコン酸窒化膜の形成が行なわれる。この場合の熱窒化処理の処理温度は、概ね900℃～1000℃程度が一般的である。シリコン酸窒化膜を形成する他の熱窒化法としては、アンモニア雰囲気中における熱窒化処理や、一酸化窒素雰囲気中における熱窒化処理などを採用することも可能である。

【 0 0 2 7 】

本実施の形態における半導体装置の製造方法にあっては、この第2熱酸化膜3bの形成工程後に、シリコン基板1内部に残留する内部応力の緩和と、第1熱酸化膜3aおよび第2熱酸化膜3bの膜質の改善とを図るために、アニール処理が行なわれる。このアニール処理は、第2熱酸化膜3bの形成温度以上の温度にて行なわれる。たとえば、第2熱酸化膜3bの形成温度が900℃である場合には、アニール処理の処理温度としては、900℃以上の温度が設定される。

【 0 0 2 8 】

より好ましくは、上記アニール処理はRTA法にて行なわれる。RTA法は、炉を用いたアニール処理に比べ短時間で処理が完了する。このため、本アニール処理前にシリコン基板1に注入された不純物の再拡散を精度よく制御することが可能になる。このため、RTA法を用いてアニール処理を行なうことにより、微

細化に伴うショートチャネル効果の発生を効果的に抑制することができるようになる。

【0029】

RTAにて上記アニール処理を行なう場合には、窒素ガスやアルゴンガスなどの不活性ガス雰囲気中にて行なうことが好ましい。このように不活性ガスを用いることにより、シリコン基板1の再酸化を防止することが可能になる。

【0030】

次に、図5に示すように、第5工程として、アニール処理が施された第1および第2熱酸化膜3a、3bが介在するように第1の能動領域10上に第1のゲート電極6aを形成し、アニール処理が施された第2熱酸化膜3bが介在するように第2の能動領域20上に第2のゲート電極6bを形成する。具体的には、第2熱酸化膜3b上にポリシリコン層をCVD法によって形成し、このポリシリコン層6上にパターンニングされたレジスト膜を形成する。そしてこのレジスト層をマスクとしてポリシリコン層6を部分的にエッチングすることにより、ゲート電極6a、6bを形成する。

【0031】

次に、図6に示すように、第6の工程として、第1および第2の能動領域10、20に不純物を注入することによりソース／ドレイン領域8を形成し、ゲート電極6aの直下に位置する部分の第1および第2熱酸化膜3a、3bと、ゲート電極6bの直下に位置する部分の第1熱酸化膜3bとを残して、第1および第2熱酸化膜3a、3bをシリコン基板1から除去し、ゲート電極6a、6bの側壁にサイドウォール絶縁膜7を形成することにより、第1および第2の電界効果トランジスタ12、22を形成する。以上により、図6に示す如くの膜厚の異なるゲート絶縁膜を有する電界効果トランジスタを備えた半導体装置が製造される。

【0032】

上記製造方法を用いて製造された半導体装置においては、図6に示すように、第1の能動領域10に形成される第1の電界効果トランジスタ12が、第1熱酸化膜3aおよび第2熱酸化膜3bからなる複層の第1ゲート酸化膜11を有することになり、第2の能動領域20に形成される第2の電界効果トランジスタ22

が、第2熱酸化膜3bのみからなる単層の第2ゲート酸化膜21を有することになる。すなわち、第1の電界効果トランジスタ12は、第2の電界効果トランジスタよりも第1熱酸化膜3a分だけ厚みの大きいゲート絶縁膜を有することになる。このため、第1の電界効果トランジスタ12は、第2の電界効果トランジスタ22よりも大きいゲート駆動電圧を要することになる。

【0033】

上記において説明した本実施の形態における半導体装置の製造方法の特徴的な工程を要約すれば、本半導体装置の製造方法は、(a)半導体基板としてのシリコン基板1の主表面にトレンチ分離膜2を形成することにより、第1および第2の能動領域10、20を形成する工程と、(b)第1および第2の能動領域10、20を覆うように、シリコン基板1の主表面上に第1の絶縁膜としての第1熱酸化膜3aを形成する工程と、(c)第1熱酸化膜3aの所定部位を選択的に除去することにより、第2の能動領域20を露出せしめる工程と、(d)第1および第2の能動領域10、20上に、第2の絶縁膜としての第2熱酸化膜3bを形成する工程と、(e)第2熱酸化膜3bの形成温度以上の温度にて、第1および第2熱酸化膜3a、3bにアニール処理を施す工程と、(f)このアニール処理が施された第1および第2熱酸化膜3a、3bが介在するように第1の能動領域10上に第1のゲート電極6aを形成し、このアニール処理が施された第2熱酸化膜3bが介在するように第2の能動領域20上に第2のゲート電極6bを形成する工程とを含んでいる。

【0034】

本製造方法を用いてデュアルゲート絶縁膜構造を有する半導体装置を製造することにより、シリコン基板1内に残留する内部応力を効果的に緩和することが可能になる。特に、トレンチ分離膜2の側壁部分におけるシリコン基板1の内部応力を効果的に緩和することが可能になる。

【0035】

従来においては、第1および第2のゲート電極6a、6bの形成工程前にアニール処理が別途付加されることなく、第1および第2のゲート電極6a、6bの形成工程後に行なわれるソース／ドレイン領域8のアニール処理と兼用するかた

ちで応力緩和のためのアニール処理が行なわれていた。しかしながら、ゲート絶縁膜となるべき第1および第2熱酸化膜3a, 3bが第1および第2のゲート電極6a, 6bとシリコン基板1との間に挟まれた状態でアニール処理を行なっても有効には応力は緩和されない。また、近年の低温処理化により、ソース/ドレイン領域8のアニール処理にて十分な応力緩和効果を得ることは極めて困難である。このため、依然としてシリコン基板1中に内部応力が残留した状態のままとなる場合が多く、結果として、歩留まりの低下や信頼性の低下の要因となっていた。

【0036】

しかしながら、本実施の形態における半導体装置の製造方法においては、第2熱酸化膜3bの形成工程後でかつゲート電極6a, 6bの形成工程前に追加された付加的なアニール処理工程により、第1熱酸化膜3aを形成することによって生じたシリコン基板1中の内部応力が緩和されるため、十分な応力緩和効果が得られるようになる。この結果、シリコン基板1内部における結晶欠陥の発生を有効に抑止することが可能になり、接合リークの低減やソースドレイン間のリーク電流の低減が図られるようになる。また、内部応力による結晶の歪みも低減されるため、電子移動度も増大する。

【0037】

さらには、応力緩和のためのアニール処理は、第1熱酸化膜3aおよび第2熱酸化膜3bの膜質の改善にも寄与する。このため、本アニール処理を付加することにより、電界効果トランジスタのゲートリーク電流の低減や絶縁破壊の防止も図れるようになる。

【0038】

以上のように、本実施の形態における半導体装置の製造方法を採用することにより、各種電気特性の改善が図られるとともに、歩留まりが高くかつ信頼性に優れたデュアルゲート絶縁膜構造を備えた半導体装置を提供することが可能になる。

【0039】

本実施の形態の如くの半導体装置の製造方法を用いた場合には、特に能動素子

領域が微細に設計された半導体装置において、その効果が顕著となる。たとえば、能動領域幅が $1\mu\text{m}$ 程度以下の半導体装置においては、残留応力による電気特性への影響が大きいと、本実施の形態の如くの半導体装置の製造方法を用いることによって得られる電気特性の改善の効果は非常に大きいものとなる。能動領域幅が $1\mu\text{m}$ 以下に設計される半導体装置としては種々のものが考えられるが、一例を挙げるとたとえば高密度のSRAM (Statistic Random Access Memory) などが考えられる。このSRAMでは、個々のゲート領域が4方向からストレスを受けるため、その効果は顕著なものとなる。

【0040】

また、上述の実施の形態における半導体装置の製造方法を採用する場合には、より好ましくは第2熱酸化膜3bの形成装置と、応力緩和のためのアニール処理装置とを同一の半導体製造装置にて連続的に行なえるように構成することが好ましい。このように構成することにより、製造効率の高効率化が図られるようになる。

【0041】

なお、上述の実施の形態においては、電界効果トランジスタがアレイ状に配置されたいわゆるゲートアレイ構造を有する半導体装置に本発明を適用した場合を例示して説明を行なったが、本発明の適用対象は特にこれに限定されるものではない。たとえば、セルベース構造を有する半導体装置などにも当然に適用可能である。

【0042】

このように、今回開示した上記実施の形態はすべての点で例示であって、制限的なものではない。本発明の技術的範囲は特許請求の範囲によって画定され、また特許請求の範囲の記載と均等の意味および範囲内でのすべての変更を含むものである。

【0043】

【発明の効果】

本発明によれば、デュアルゲート絶縁膜構造を備えた半導体装置の製造の際に、半導体基板内部に生ずる残留応力を大幅に低減することが可能になるとともに

、ゲート絶縁膜の膜質改善が行なえるようになる。これにより、高性能で高信頼性の半導体装置を歩留まりよく製造することが可能になる。

【図面の簡単な説明】

【図 1】 本発明の実施の形態における半導体装置の製造方法を模式的に示した第 1 工程図である。

【図 2】 本発明の実施の形態における半導体装置の製造方法を模式的に示した第 2 工程図である。

【図 3】 本発明の実施の形態における半導体装置の製造方法を模式的に示した第 3 工程図である。

【図 4】 本発明の実施の形態における半導体装置の製造方法を模式的に示した第 4 工程図である。

【図 5】 本発明の実施の形態における半導体装置の製造方法を模式的に示した第 5 工程図である。

【図 6】 本発明の実施の形態における半導体装置の製造方法を模式的に示した第 6 工程図である。

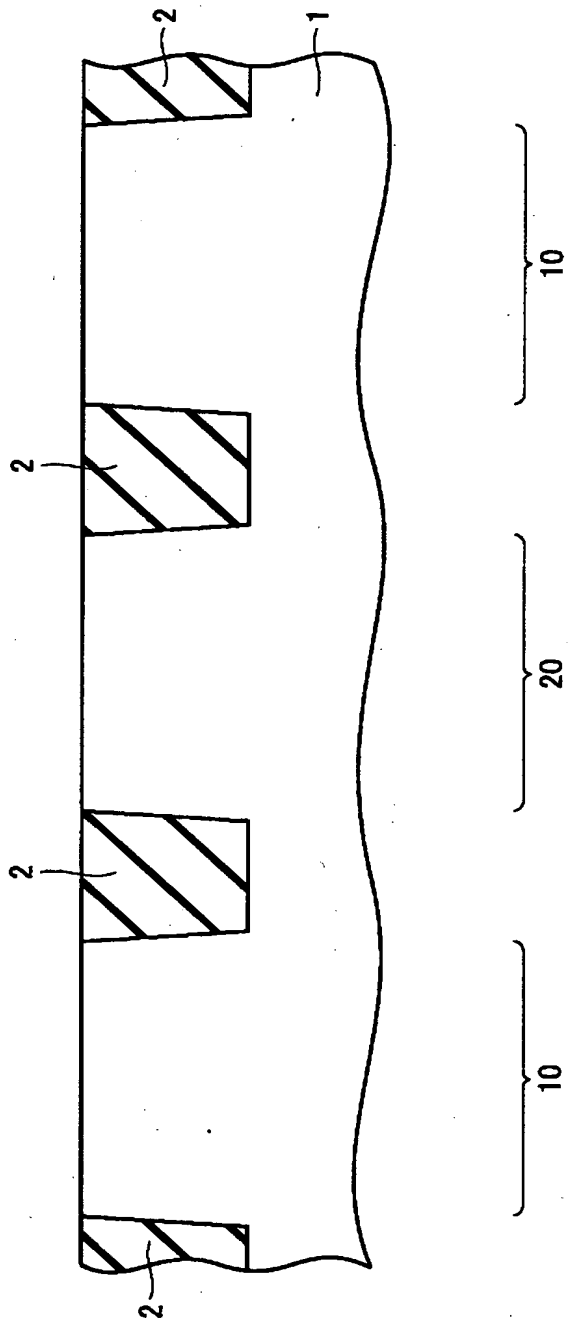
【符号の説明】

1 シリコン基板、2 トレンチ分離膜、3 a 第 1 熱酸化膜、3 b 第 2 熱酸化膜、4 レジスト膜、6 a 第 1 のゲート電極、6 b 第 2 のゲート電極、7 サイドウォール絶縁膜、8 ソース／ドレイン領域、1 0 第 1 の能動領域、1 1 第 1 ゲート酸化膜、1 2 第 1 の電界効果トランジスタ、2 0 第 2 の能動領域、2 1 第 2 ゲート酸化膜、2 2 第 2 の電界効果トランジスタ。

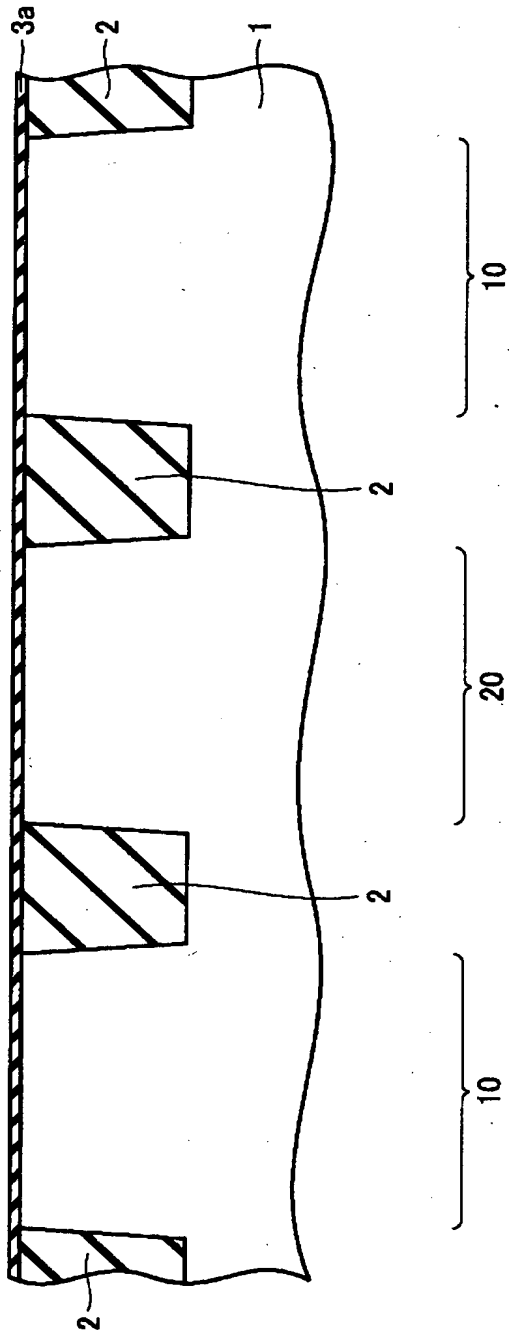
【書類名】

図面

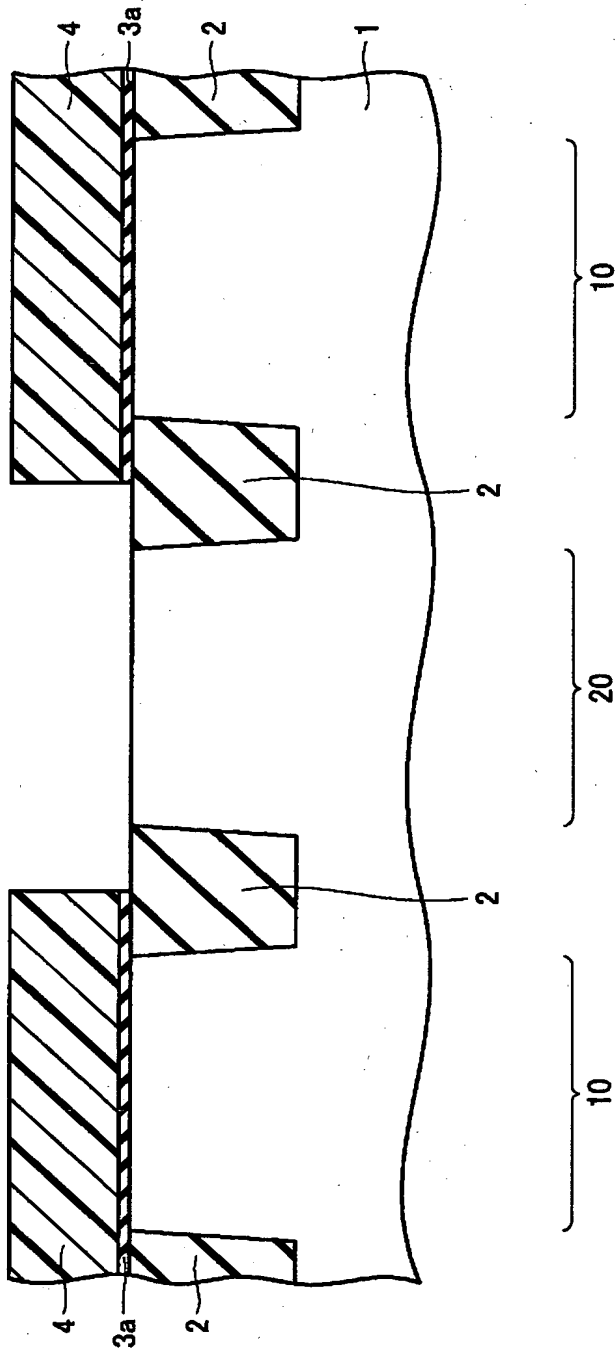
【図 1】



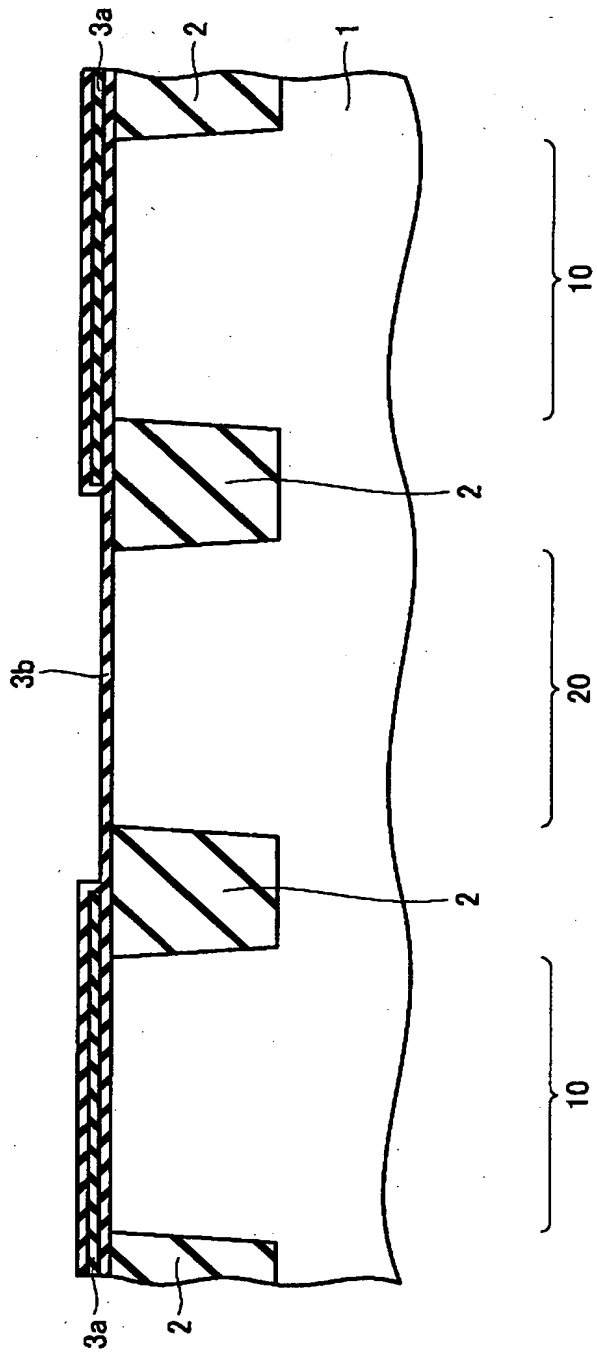
【図 2】



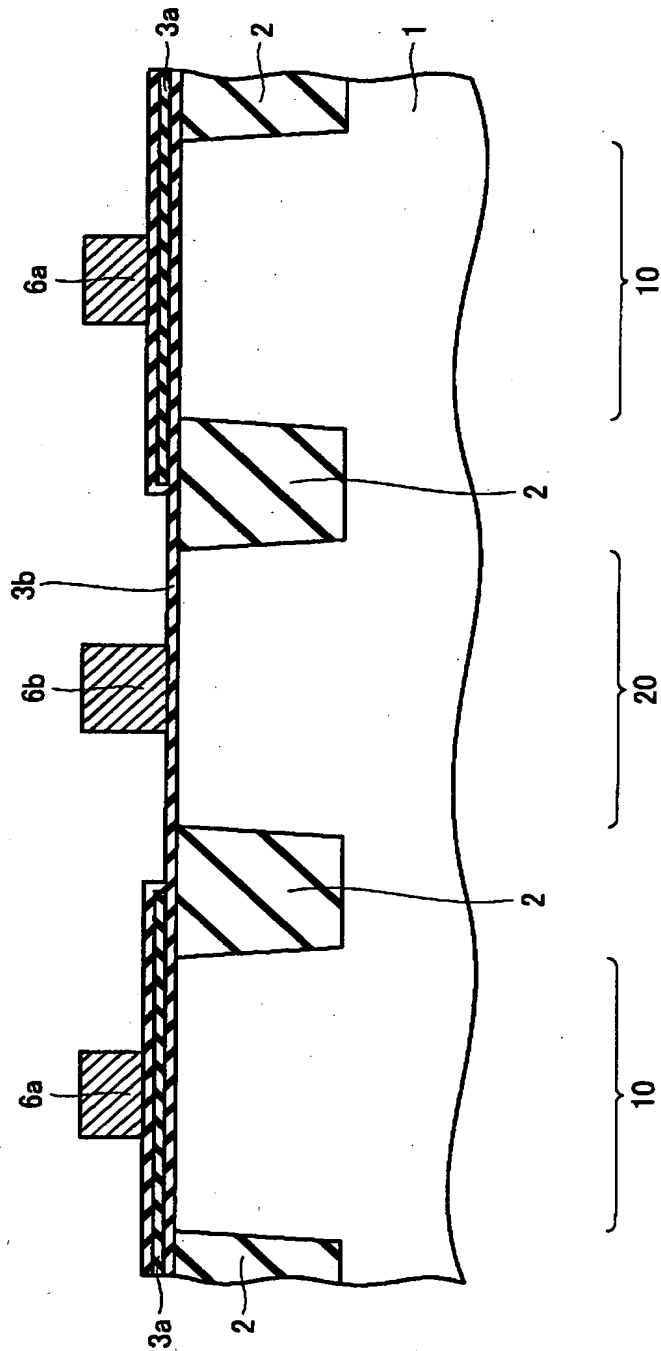
【図 3】



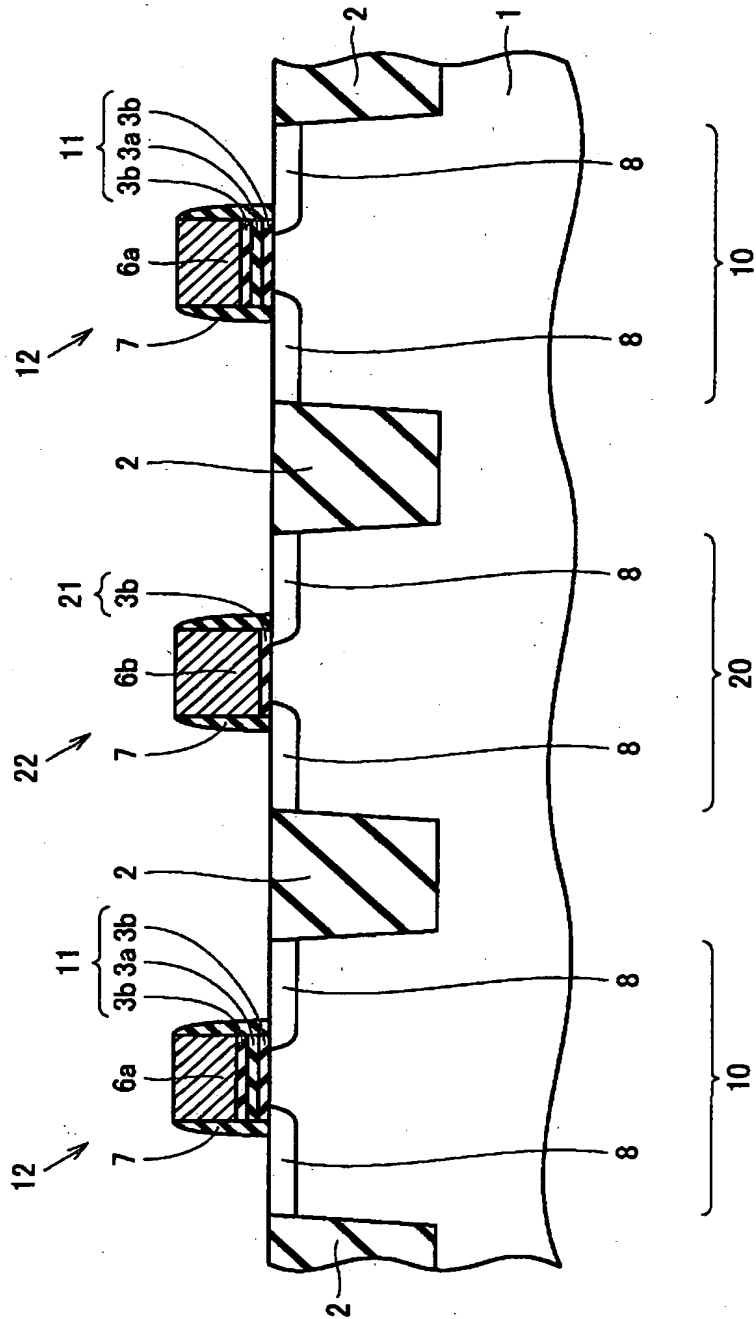
【図 4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 半導体基板内部の残留応力を低減するとともにゲート絶縁膜の膜質の改善が可能なデュアルゲート絶縁膜構造を備えた半導体装置の製造方法を提供する。

【解決手段】 本半導体装置の製造方法は、シリコン基板 1 の主表面に第 1 および第 2 の能動領域 1 0, 2 0 を形成する工程と、シリコン基板 1 の主表面上に第 1 熱酸化膜 3 a を形成する工程と、第 1 熱酸化膜 3 a の所定部位を選択的に除去することにより、第 2 の能動領域 2 0 を露出せしめる工程と、第 1 および第 2 の能動領域 1 0, 2 0 上に第 2 熱酸化膜 3 b を形成する工程と、第 2 熱酸化膜 3 b の形成温度以上の温度にて、第 1 および第 2 熱酸化膜 3 a, 3 b にアニール処理を施す工程と、このアニール処理が施された第 1 および第 2 熱酸化膜 3 a, 3 b が介在するように第 1 および第 2 のゲート電極 6 a, 6 b を形成する工程とを含んでいる。

【選択図】 図 6

出 願 人 履 歴 情 報

識別番号 [503121103]

1. 変更年月日 2003年 4月 1日

[変更理由] 新規登録

住 所 東京都千代田区丸の内二丁目4番1号

氏 名 株式会社ルネサステクノロジ